

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91663

(P2000-91663A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 41/22		H 0 1 L 41/22	Z 2 C 0 5 7
B 4 1 J 2/045		G 0 1 L 1/18	A 2 F 0 5 5
			9/04 1 0 1
G 0 1 L 1/18		B 4 1 J 3/04	1 0 3 A
9/04	1 0 1	H 0 1 L 41/08	C

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平10-262824

(22) 出願日 平成10年9月17日 (1998.9.17)

(71) 出願人 000000284

大阪瓦斯株式会社

大阪府大阪市中央区平野町四丁目1番2号

(72) 発明者 西野 仁

大阪府大阪市中央区平野町四丁目1番2号

大阪瓦斯株式会社内

(72) 発明者 中岡 春雪

大阪府大阪市中央区平野町四丁目1番2号

大阪瓦斯株式会社内

(74) 代理人 100107308

弁理士 北村 修一郎

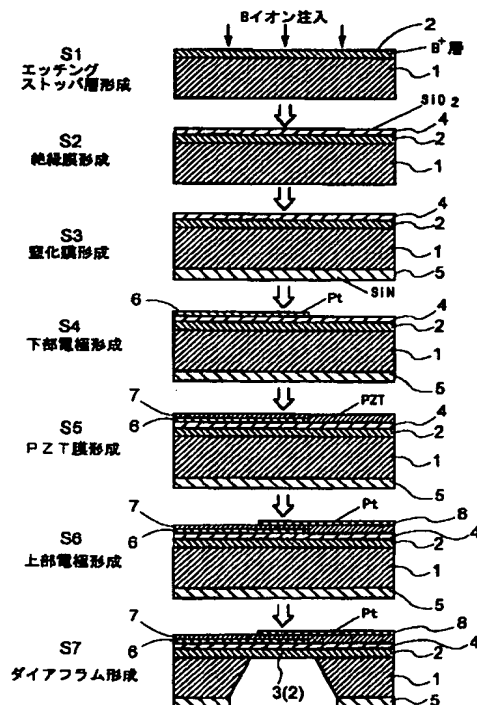
最終頁に続く

(54) 【発明の名称】 シリコンマイクロデバイス加工方法

(57) 【要約】

【課題】 シリコン基板上に圧電薄膜を容易に成膜でき、目的の圧電材料とシリコンマイクロデバイス加工を組み合わせた構造体を安定して作製でき、高性能の圧電変換素子を作製可能なシリコンマイクロデバイス加工方法を提供する。

【解決手段】 圧電薄膜の堆積工程 (S5) より前に、シリコン基板1上にエッチングストップ層2を形成し (S1)、圧電薄膜7の堆積工程 (S5) 以降に、シリコン基板1の所定箇所をエッチングする (S7)。更に好ましくは、エッチングストップ層2が引っ張り応力層となるように形成する (S1)。



## 【特許請求の範囲】

【請求項1】 シリコン基板上に圧電薄膜を堆積させて圧電変換素子を作製するためのシリコンマイクロデバイス加工方法において、前記圧電薄膜の堆積工程以降に、前記シリコン基板の所定箇所をエッチングすることを特徴とするシリコンマイクロデバイス加工方法。

【請求項2】 前記圧電薄膜の堆積工程より前に、シリコン基板上にエッチングストッパ層を形成することを特徴とする請求項1記載のシリコンマイクロデバイス加工方法。

【請求項3】 前記エッチングストッパ層が引っ張り応力層である請求項2記載のシリコンマイクロデバイス加工方法。

【請求項4】 前記エッチングストッパ層が前記シリコン基板表面に形成された不純物拡散層である請求項3記載のシリコンマイクロデバイス加工方法。

【請求項5】 前記エッチングストッパ層の不純物がP型のボロンイオンであって、その濃度が $5 \times 10^{11} / \text{cm}^3$ 以上である請求項4記載のシリコンマイクロデバイス加工方法。

【請求項6】 前記エッチングストッパ層の形成工程において前記エッチングストッパ層に対する加熱操作を含むことを特徴とする請求項5記載のシリコンマイクロデバイス加工方法。

【請求項7】 前記エッチングストッパ層の厚みが $1 \sim 3 \mu\text{m}$ である請求項5または6記載のシリコンマイクロデバイス加工方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、シリコン基板上に圧電薄膜を堆積させて圧電変換素子を作製するためのシリコンマイクロデバイス加工方法に関し、詳しくは、微差圧センサ、アクチュエータ、フルイディック流量センサ、インクジェットプリンタヘッド用アクチュエータ等の圧電変換素子の作製方法に関する。

## 【0002】

【従来の技術】 従来、PZT（チタン酸ジルコン酸鉛）のような高い圧電性を有する材料の薄膜化が難しく、かかる圧電薄膜とシリコンダイアフラム等のシリコンマイクロデバイス加工とを組み合わせることで作製された微差圧センサやアクチュエータは存在しなかった。

## 【0003】

【発明が解決しようとする課題】 最も単純なシリコンマイクロデバイス加工と圧電薄膜との組み合わせとして、シリコンエッチングによって形成した薄いシリコン膜上に圧電薄膜を堆積させる手法があるが、この手法の場合、圧電薄膜の堆積工程或いは電極形成工程において、熱応力やイオンビームの運動量により、その薄いシリコン膜が変形或いは破壊してしまうという問題があり、圧

電薄膜とシリコンマイクロデバイス加工を組み合わせることで上記のような圧電変換素子を作製するのが困難であった。また、エッチングされたシリコン膜は非常に薄く、圧電薄膜の堆積工程での熱の加わり方が異なるため、制御された均質な圧電薄膜の形成が困難であった。

【0004】 本発明は、かかる実情に鑑みてなされたものであり、その目的は、圧電薄膜の成膜が容易で、目的の圧電材料とシリコンマイクロデバイス加工を組み合わせた構造体を安定して作製できるシリコンマイクロデバイス加工方法を提供することにある。

## 【0005】

【課題を解決するための手段】 この目的を達成するための本発明によるシリコン基板上に圧電薄膜を堆積させて圧電変換素子を作製するためのシリコンマイクロデバイス加工方法の第一の特徴構成は、特許請求の範囲の欄の請求項1に記載した通り、前記圧電薄膜の堆積工程以降に、前記シリコン基板の所定箇所をエッチングする点にある。

【0006】 同第二の特徴構成は、特許請求の範囲の欄の請求項2に記載した通り、上述の第一の特徴構成に加えて、前記圧電薄膜の堆積工程より前に、シリコン基板上にエッチングストッパ層を形成する点にある。

【0007】 同第三の特徴構成は、特許請求の範囲の欄の請求項3に記載した通り、上述の第二の特徴構成に加えて、前記エッチングストッパ層が引っ張り応力層である点にある。

【0008】 同第四の特徴構成は、特許請求の範囲の欄の請求項4に記載した通り、上述の第三の特徴構成に加えて、前記エッチングストッパ層が前記シリコン基板表面に形成された不純物拡散層である点にある。

【0009】 同第五の特徴構成は、特許請求の範囲の欄の請求項5に記載した通り、上述の第四の特徴構成に加えて、前記エッチングストッパ層の不純物がP型のボロンイオンであって、その濃度が $5 \times 10^{11} / \text{cm}^3$ 以上である点にある。

【0010】 同第六の特徴構成は、特許請求の範囲の欄の請求項6に記載した通り、上述の第五の特徴構成に加えて、前記エッチングストッパ層の形成工程において前記エッチングストッパ層に対する加熱操作を含む点にある。ここで、前記加熱操作は、例えば、前記エッチングストッパ層をボロンイオン注入により形成する場合は、当該イオン注入後のアニール処理や、前記エッチングストッパ層を熱拡散で形成する場合の当該熱拡散処理である。

【0011】 同第七の特徴構成は、特許請求の範囲の欄の請求項7に記載した通り、上述の第五または第六の特徴構成に加えて、前記エッチングストッパ層の厚みが $1 \sim 3 \mu\text{m}$ である点にある。

【0012】 以下に作用並びに効果を説明する。上記第一の特徴構成によれば、圧電薄膜がエッチングされる前

の厚いシリコン基板上に直接或いは必要に応じて絶縁層や電極層を介して堆積されるため、圧電薄膜の堆積工程における制御が安定し、高品質の圧電薄膜が形成できるのである。更に、圧電薄膜の堆積工程後にシリコン基板のエッチングを行うので、当該堆積工程における熱応力やイオンビームの運動量の影響を考慮する必要が無く、エッチング後のシリコン層の厚さを薄くすることができ、圧電変換素子の特性の向上が図れるのである。

【0013】上記第二の特徴構成によれば、シリコン基板を裏面側からエッチングしていく場合、確実にエッチングをエッチングストップ層の下面側で終了させることができ、当該エッチングストップ層がその上側に堆積された圧電薄膜を支持するシリコンダイアフラム等として機能する。また、そのエッチングストップ層の厚さは、シリコンエッチングとは無関係に、予め所定の薄さに設定しておくことができるため、制御性良く薄いシリコンダイアフラム等が形成でき、圧電変換素子の特性向上を更に図ることができるのである。

【0014】上記第三の特徴構成によれば、前記エッチングストップ層が引っ張り応力層であるため、膜厚が薄くても撓まずに緊張した薄膜に形成することができる。この結果、前記エッチングストップ層上に形成された圧電薄膜の振動に不要な高次モードの振動や歪みが発生せず、高性能な圧電変換素子を得ることができるのである。

【0015】上記第四の特徴構成によれば、前記シリコン基板表面への不純物のイオン注入や熱拡散等の工程でエッチングストップ層が形成できるとともに、その拡散深さを制御することで、エッチングストップ層の膜厚を制御することができるのである。

【0016】上記第五の特徴構成によれば、前記エッチングストップ層を引っ張り応力層とすることができるのである。

【0017】上記第六の特徴構成によれば、前記加熱操作によって前記エッチングストップ層が引っ張り応力化されるのである。

【0018】上記第七の特徴構成によれば、前記エッチングストップ層の厚みが $1\mu\text{m}$ より薄くなると、膜厚制御性が悪くなるとともに破壊され易くなり、また、当該厚みが $3\mu\text{m}$ より厚くなると、圧電変換素子としての感度が低下するという問題を同時に回避できるのである。

【0019】

【発明の実施の形態】以下に本発明によるシリコンマイクロデバイス加工方法（以下、本発明方法という。）の一実施の形態を図面に基いて説明する。以下、本発明方法の一実施例として、図1乃至図4に示すデバイス形成プロセスフローに従って、圧電薄膜としてPZT膜を使用したシリコンマイクロデバイス微差圧センサを作製したので、各プロセスについて説明する。

【0020】図1に示すように、前記プロセスフロー

は、大別して7つの工程（S1～S7）から構成されている。

【0021】（1）第1工程（S1）：エッチングストップ層形成

この工程では、単結晶のシリコン基板1の表面上に、このシリコン基板1を後述する第7工程（S7）で、裏面側よりエッチングする際のエッチングストップ層2として機能するP型の不純物拡散層2を形成する。具体的には、前記P型不純物拡散層2はボロンイオン（B<sup>+</sup>）のイオン注入で行う。ここで、前記不純物拡散層2の拡散深さは $1\sim 3\mu\text{m}$ 、B<sup>+</sup>濃度は $5\times 10^{19}/\text{cm}^3$ 以上とするのが好ましい。またイオン注入後は、 $950\sim 1050^\circ\text{C}$ でアニールを行う。この濃度設定及びアニール処理により、前記不純物拡散層2は引っ張り応力を有する引っ張り応力層となる。このため、第7工程（S7）で前記シリコン基板1の所定箇所を裏面側よりエッチングして $1\sim 3\mu\text{m}$ の厚みのシリコンダイアフラム3を形成した際に、そのシリコンダイアフラム3が緊張状態となり、撓みを防止することができるのである。従って、本発明方法では、このイオン注入後のアニール処理は、通常のイオン注入によって生じた欠陥を回復させる働きの他に、エッチングストップ層を引っ張り応力化する作用を奏するのである。

【0022】（2）第2工程（S2）：絶縁膜形成

この工程では、前記不純物拡散層2の上にSiO<sub>2</sub>膜4をCVD法等の通常酸化膜或いは絶縁膜形成方法によって形成する。膜厚は概ね $5000\text{\AA}$ である。この絶縁膜は後述の第4工程（S4）で形成される下部電極6と前記不純物拡散層2間の電気的な導通を防止する。つまり、前記不純物拡散層2はキャリア濃度が高く導電性を有するため、前記下部電極6と他の電極や配線とを短絡させたり不要な寄生容量等が発生させたりするのを防止するためである。尚、このSiO<sub>2</sub>膜4の膜厚も薄い方が前記シリコンダイアフラム3の実効的な厚みを薄くでき、微差圧センサの応答性の向上に寄与する。

【0023】（3）第3工程（S3）：窒化膜形成

この工程では、前記シリコン基板1の裏面側表面にSiN膜5をCVD法等の通常窒化膜或いは絶縁膜形成方法によって形成する。このSiN膜5は第7工程（S7）で前記シリコン基板1の所定箇所を裏面側より選択的にエッチングする際に、前記シリコンダイアフラム3を形成しない、つまり、エッチングしない箇所をマスクとして機能する。尚、このSiN膜5のパターニングは第7工程（S7）で行う。

【0024】（4）第4工程（S4）：下部電極形成

この工程では、前記SiO<sub>2</sub>膜4上に所定の平面形状の前記下部電極6を形成する。この下部電極6は、最終的に前記シリコンダイアフラム3上に形成される圧電薄膜7であるPZT膜7の下面側に設けられる電極である。

第4工程（S4）の詳細について、図2に基づいて説明

する。図2に示すように、先ず、前記SiO<sub>2</sub>膜4上に第1フォトレジスト9(AZ-5214E)を塗布する(ステップ41)。次に、その第1フォトレジスト9のプリベークを行う(ステップ42)。次に、前記下部電極6の平面形状に合わせて予め作成された第1フォトマスク10のアライメントを行い、前記第1フォトレジスト9上に設置し(ステップ43)、引き続き、1回目の紫外線露光を行う(ステップ44)。次に、フォトレジスト反転ベークを行い(ステップ45)、2回目の紫外線露光(全面露光)を行う(ステップ46)。次に、前記第1フォトレジスト9を現像処理して、前記下部電極6を形成する箇所の前記第1フォトレジスト9を除去する(ステップ47)。次に、前記SiO<sub>2</sub>膜4と前記第1フォトレジスト9の内のステップ47で残された第1フォトレジスト9a上に、前記下部電極6を形成する第1プラチナ(Pt)膜6aをスパッタリング法で形成する(ステップ48)。最後に、リフトオフ法で、前記第1Pt膜6aの内の前記第1フォトレジスト9a上に位置する部分を前記第1フォトレジスト9aとともに除去し、前記下部電極6を所定の平面形状に形成する(ステップ49)。

【0025】(5)第5工程(S5):PZT膜形成  
この工程では、CVD法等の周知手法によって前記PZT膜7を前記SiO<sub>2</sub>膜4及び前記下部電極6上に形成する。ここで、前記SiO<sub>2</sub>膜4によって、上記したように前記下部電極6と導電性の前記不純物拡散層2との間が絶縁されるとともに、前記PZT膜7と前記不純物拡散層2との間も絶縁される。

【0026】(6)第6工程(S6):上部電極形成  
この工程では、前記PZT膜7上に所定の平面形状の上部電極8を形成する。この上部電極8は、前記シリコンダイアフラム3上に形成される前記PZT膜7の上面側に設けられる電極である。第6工程(S6)の詳細について、図3に基づいて説明する。尚、図3に示すように、本工程は、前記下部電極6を形成した第4工程(S4)と実質的に同じである。先ず、前記PZT膜7上に第2フォトレジスト11(AZ-5214E)を塗布する(ステップ61)。次に、その第2フォトレジスト11のプリベークを行う(ステップ62)。次に、前記上部電極8の平面形状に合わせて予め作成された第2フォトマスク12のアライメントを行い、前記第2フォトレジスト11上に設置し(ステップ63)、引き続き、1回目の紫外線露光を行う(ステップ64)。次に、フォトレジスト反転ベークを行い(ステップ65)、2回目の紫外線露光(全面露光)を行う(ステップ66)。次に、前記第2フォトレジスト11を現像処理して、前記上部電極8を形成する箇所の前記第2フォトレジスト11を除去する(ステップ67)。次に、前記PZT膜7と前記第2フォトレジスト11の内のステップ67で残された第2フォトレジスト11a上に、前記上部電極8

を形成する第2プラチナ(Pt)膜8aをスパッタリング法で形成する(ステップ68)。最後に、リフトオフ法で、前記第2Pt膜8aの内の前記第2フォトレジスト11a上に位置する部分を前記第2フォトレジスト11aとともに除去し、前記上部電極8を所定の平面形状に形成する(ステップ69)。

【0027】(7)第7工程(S7):ダイアフラム形成

この工程では、前記シリコン基板1の所定箇所を裏面側より選択的にエッチングして、前記シリコンダイアフラム3を形成する。図4に基づいて、第7工程(S7)の詳細について説明する。先ず、前記SiN膜5の下面側表面に第3フォトレジスト13(AZ-1375)を塗布する(ステップ71)。次に、前記シリコンダイアフラム3の平面形状に合わせて予め作成された第3フォトマスク14のアライメントを行い、前記第3フォトレジスト13の下面側に設置し(ステップ72)、引き続き、紫外線露光を行う(ステップ73)。次に、前記第3フォトレジスト13を現像処理して、前記シリコンダイアフラム3を形成しない、つまり前記シリコン基板1をエッチングしない箇所の前記第3フォトレジスト13を除去する(ステップ74)。次に、前記SiN膜5を前記シリコンダイアフラム3の平面形状に合わせてパターニング(エッチング)する際のマスクとして機能する第3プラチナ(Pt)膜15を、前記SiN膜5と前記第3フォトレジスト13の内のステップ74で残された第3フォトレジスト13aの上(下面側)にスパッタリング法で形成する(ステップ75)。引き続き、リフトオフ法で、前記第3Pt膜15の内の前記第3フォトレジスト13aの下面側に位置する部分を前記第3フォトレジスト13aとともに除去して、前記第3Pt膜15のパターニングを行い(ステップ76)、このパターニング後の前記第3Pt膜15をマスクとして前記SiN膜5のエッチングを行う(ステップ77)。最後に、パターニング後の前記第3Pt膜15と前記SiN膜5をマスクに前記シリコン基板1のエッチングを行う(ステップ78)。このステップ78におけるエッチングはドライエッチ処理も使用可能だが、エッチング後の前記シリコンダイアフラム3の下面を平坦に仕上げるには化学薬品を使用するウェットエッチ処理が好ましい。また、このウェットエッチ処理のエッチャントとしては、KOH(水酸化カリウム)またはEPW(エチレンジアミン・ピロカテコール・ウォータ)を使用する。このステップ78におけるエッチングが、前記シリコン基板1と前記不純物拡散層2とのエッチング速度の差によって前記不純物拡散層2の下面側で終了する結果、前記シリコンダイアフラム3が前記不純物拡散層2の内の前記エッチングにより露出した部分に形成され、その厚さは、前記不純物拡散層2の厚さである1~3μmに等しくなる。

【0028】以上の処理手順で形成された前記シリコン

ダイアフラム3の上部に形成された前記PZT膜7と前記下部及び上部電極6、8の3層構造部分に圧電変換素子が形成される。前記シリコンダイアフラム3の下面側と前記上部電極8の上面側との間の圧力差で前記PZT膜7が変形し、それに応じて発生する弾性エネルギーが電気エネルギーに変換され、前記圧力差が電気信号として前記下部及び上部電極6、8間で検出される構造となっている。

【0029】（別実施形態）以下に他の実施形態を説明する。

〈1〉前記第1工程（S1）において形成した前記不純物拡散層2はイオン注入によらずに1100℃程度の熱拡散法によって形成しても構わない。この場合、前記アニール処理は不要である。

【0030】〈2〉前記第2～第7工程（S2～S7）において形成した前記SiO<sub>2</sub>膜4、前記SiN膜5、前記PZT膜7、前記第1Pt膜6a、前記第2Pt膜8a、前記第3Pt膜15の各形成方法（成膜、パターニング）は、必ずしも上記実施形態の形成方法に限定されるものではない。

【0031】〈3〉上記実施形態では、前記圧電薄膜7、前記下部及び上部電極6、8の材料として、PZT膜及びプラチナを採用したが、その他の材料で形成しても構わない。

【0032】〈4〉上記実施形態では、本発明方法をシリコンマイクロデバイス微差圧センサの作製に適用したが、アクチュエータ、フルイディック流量センサ、インクジェットプリンタヘッド用アクチュエータ等のその他の圧電変換素子の作製に適用するのも好ましい。

【0033】

【発明の効果】以上説明したように、本発明によれば、圧電薄膜の成膜が容易で、目的の圧電材料とシリコンマイクロデバイス加工を組み合わせた構造体を安定して作

製できるシリコンマイクロデバイス加工方法が実現でき、この結果、シリコンマイクロデバイス微差圧センサ等の高い応答性能が要求される圧電変換素子を容易に作成できるようになった。また同時に電圧を印加した場合には、ダイアフラム部が変位するマイクロアクチュエータとしても良好に作動することが確認された。

【図面の簡単な説明】

【図1】本発明によるシリコンマイクロデバイス加工方法のデバイス形成プロセスフローを示すフローチャート

10 【図2】図1に示すデバイス形成プロセスフローの第4工程の詳細フローチャート

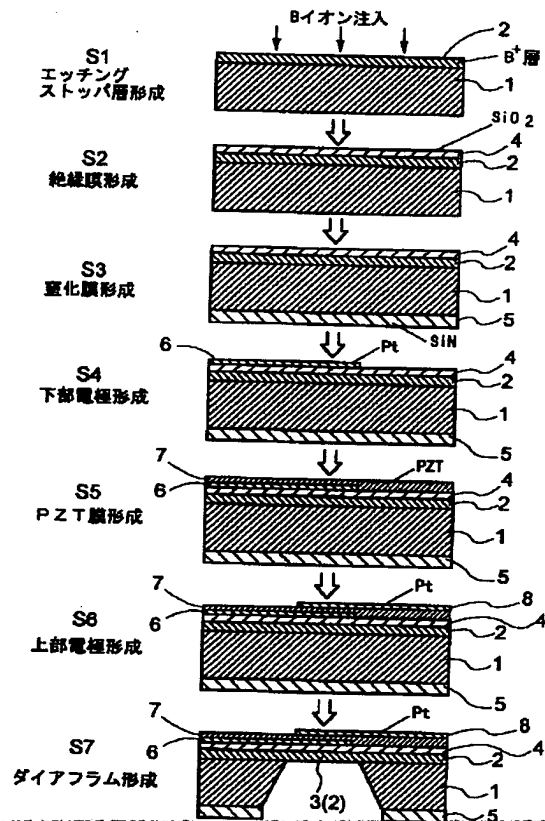
【図3】図1に示すデバイス形成プロセスフローの第6工程の詳細フローチャート

【図4】図1に示すデバイス形成プロセスフローの第7工程の詳細フローチャート

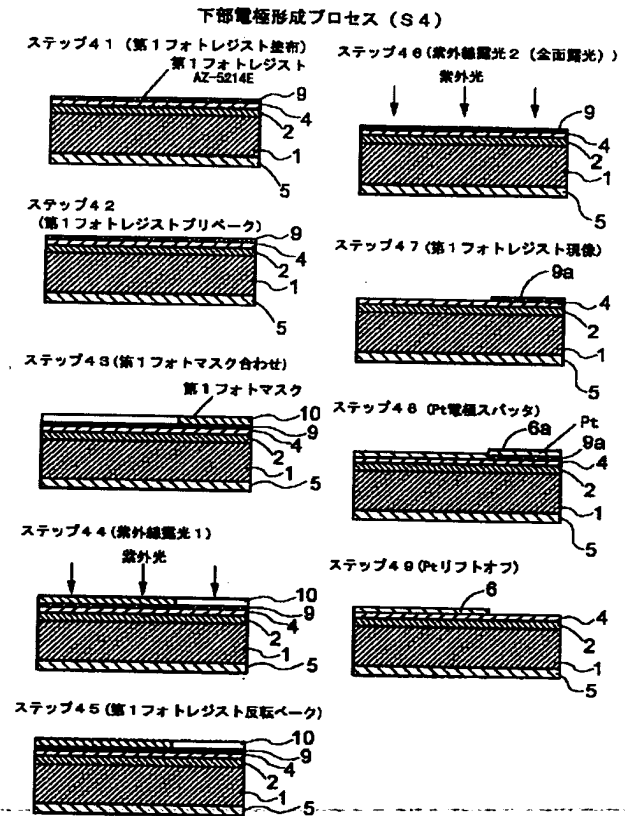
【符号の説明】

1	シリコン基板
2	エッチングストップ層（不純物拡散層）
3	シリコンダイアフラム
20 4	SiO <sub>2</sub> 膜
5	SiN膜
6	下部電極
6 a	第1プラチナ（Pt）膜
7	圧電薄膜（PZT膜）
8	上部電極
8 a	第2プラチナ（Pt）膜
9、9 a	第1フォトリソ
10	第1フォトリソ
11、11 a	第2フォトリソ
30 12	第2フォトリソ
13、13 a	第3フォトリソ
14	第3フォトリソ
15	第3プラチナ（Pt）膜

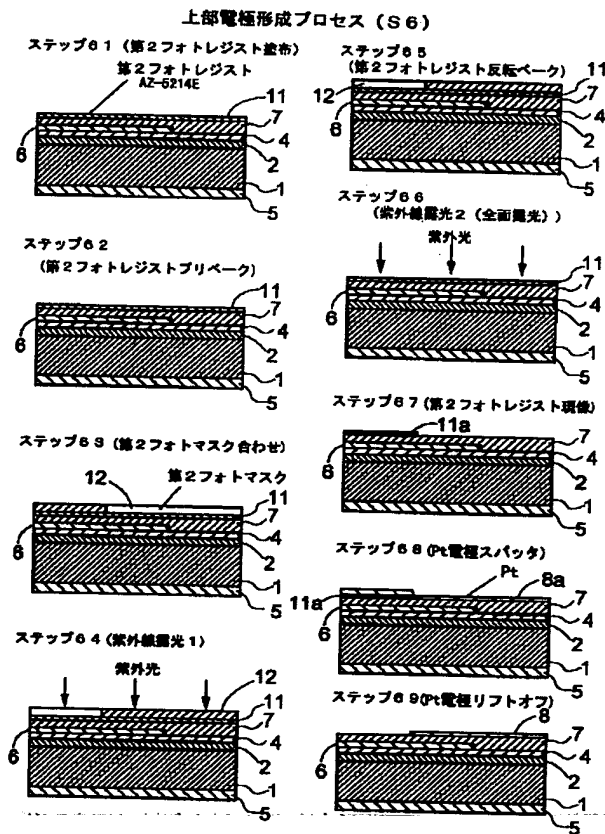
【図1】



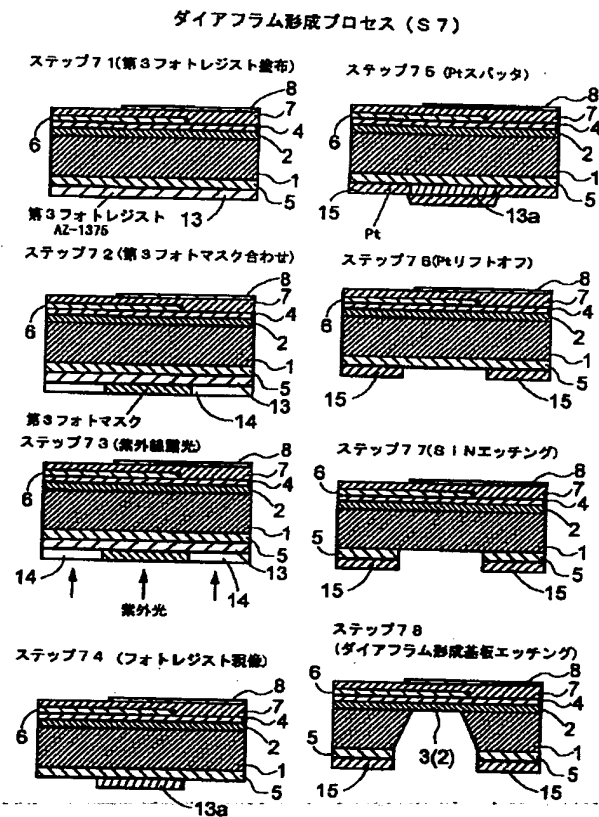
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H01L 41/09  
41/08

識別記号

F I

H01L 41/08

ターマコード (参考)

D

(72) 発明者 藤井 隆満

京都府京都市下京区中堂寺南町17 株式会  
社関西新技術研究所内Fターム (参考) 2C057 AF37 AF93 AG44 AP02 AP14  
AP33 AP53 AQ02 BA14  
2F055 AA40 BB06 CC02 DD05 EE14  
EE23 FF43 GG01

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091663

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 41/22  
B41J 2/045  
B41J 2/055  
G01L 1/18  
G01L 9/04  
H01L 41/09  
H01L 41/08

(21)Application number : 10-262824

(71)Applicant : OSAKA GAS CO LTD

(22)Date of filing : 17.09.1998

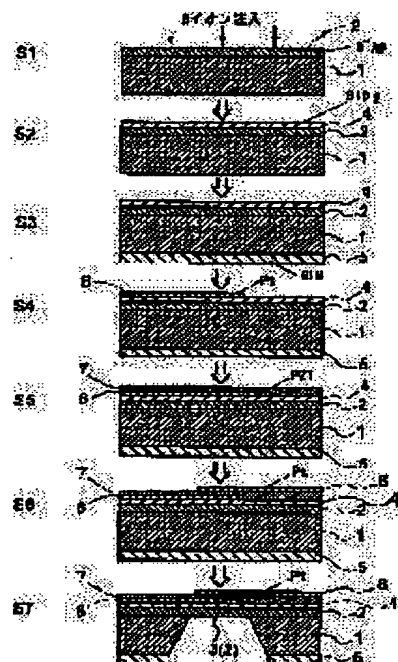
(72)Inventor : NISHINO HITOSHI  
NAKAOKA HARUYUKI  
FUJII TAKAMITSU

## (54) METHOD FOR WORKING SILICON MICRO-DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for working micro-device by which a thin piezoelectric film can be formed easily on a silicon substrate and a structure and, accordingly, a high-performance piezoelectric transducer element can be manufactured stably by combining an aimed piezoelectric material and working of a silicon micro-device.

**SOLUTION:** Before a thin piezoelectric film depositing process (S5), an etching stopper layer 2 is formed on a silicon substrate (S1) and, after a thin piezoelectric film 7 is deposited (S5), a prescribed spot of the silicon substrate 1 is etched (S7). It is preferable, in addition, to form the etching stopper layer 2 so that the layer 2 may become a tensile stress layer (S1).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]